

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-279012  
(P2002-279012A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 6 F 17/50	6 6 8	G 0 6 F 17/50	6 6 8 C 2 G 1 3 2
			6 6 8 S 5 B 0 4 6
G 0 1 R 31/28		H 0 1 L 21/82	W 5 F 0 6 4
31/317		G 0 1 R 31/28	F
H 0 1 L 21/82			A
審査請求 有 請求項の数17 O L (全 18 頁)			

(21) 出願番号 特願2001-351885(P2001-351885)  
(22) 出願日 平成13年11月16日 (2001.11.16)  
(31) 優先権主張番号 特願2000-355417(P2000-355417)  
(32) 優先日 平成12年11月22日 (2000.11.22)  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願2000-360629(P2000-360629)  
(32) 優先日 平成12年11月28日 (2000.11.28)  
(33) 優先権主張国 日本 (J P)  
(31) 優先権主張番号 特願2001-1075(P2001-1075)  
(32) 優先日 平成13年1月9日 (2001.1.9)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72) 発明者 築山 修治  
東京都多摩市鶴牧6-1-2-504  
(72) 発明者 田中 正和  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72) 発明者 福井 正博  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74) 代理人 100077931  
弁理士 前田 弘 (外7名)

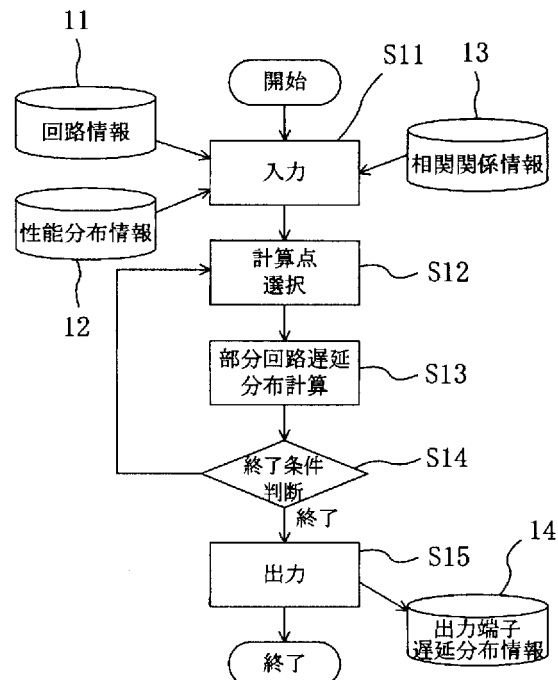
最終頁に続く

(54) 【発明の名称】 遅延分布計算方法、回路評価方法およびフォールスパス抽出方法

(57) 【要約】

【課題】 集積回路の遅延分布の計算において、配線または素子間の性能の相関関係を考慮して、推定精度を向上させる。

【解決手段】 回路情報11と、集積回路内の配線または素子の性能分布情報12と、配線または素子間の性能の相関関係情報13とを入力する (S11)。計算点を選択し (S12)、性能分布情報12および相関関係情報13に基づいて、選択した計算点における遅延分布と、この計算点を含む部分回路における遅延分布の相関関係とを計算する (S13)。



## 【特許請求の範囲】

【請求項1】 設計対象の集積回路について、遅延分布を計算する方法であって、

前記集積回路に含まれた配線同士、または素子同士の性能の相関関係を表す相関関係情報を参照して、遅延分布を計算することを特徴とする遅延分布計算方法。

【請求項2】 請求項1において、前記相関関係情報は、前記性能の相関関係として、遅延の相関関係を表すものであることを特徴とする遅延分布計算方法。

【請求項3】 請求項1において、前記相関関係情報は、性能分布における相関係数によって表されたものであることを特徴とする遅延分布計算方法。

【請求項4】 請求項1において、前記集積回路内の各素子の接続関係を表す回路情報を基にして、当該集積回路を表すグラフを生成する工程と、前記集積回路に含まれた配線および素子の性能分布を表す性能分布情報と、前記相関関係情報とを用いて、前記グラフにおける各点について、遅延分布を計算する工程とを備えたことを特徴とする遅延分布計算方法。

【請求項5】 請求項4において、前記計算工程は、前記グラフから、すでに遅延分布が計算された点からなる集合に属さない点を、計算点として選択する第1の工程と、前記第1の工程によって選択された計算点について、前記性能分布情報および相関関係情報に基づいて、遅延分布と、前記集合に属する各点との性能の相関関係とを計算する第2の工程とを備え、前記第1および第2の工程を、遅延分布を計算した計算点を前記集合に追加しつつ、繰り返し行うものであることを特徴とする遅延分布計算方法。

【請求項6】 請求項1において、配線同士または素子同士の性能の相関関係とレイアウト上の特徴との関係を表す相関特性情報を用い、前記集積回路のレイアウトを参照して、前記相関関係情報を生成する工程を備えていることを特徴とする遅延分布計算方法。

【請求項7】 請求項6において、前記相関特性情報は、少なくとも、素子間の距離と、性能の相関関係との関係を表したものであることを特徴とする遅延分布計算方法。

【請求項8】 請求項6において、前記相関特性情報は、少なくとも、素子の向きと、性能の相関関係との関係を表したものであることを特徴とする遅延分布計算方法。

【請求項9】 請求項6において、前記相関特性情報は、少なくとも、2本の配線における共通部分の有無または長さ、性能の相関関係との関係

を表したものであることを特徴とする遅延分布計算方法。

【請求項10】 請求項6において、特性評価用集積回路について、各配線または素子の特性を評価し、この評価結果と、前記特性評価用集積回路のレイアウトとを基にして、前記相関特性情報を生成する工程を備えていることを特徴とする遅延分布計算方法。

【請求項11】 設計対象の集積回路について、評価する方法であって、

10 前記集積回路における各部品の接続関係を表す回路情報を基にして、フォールスパスに相当する信号伝達経路を含まない等価回路を生成する第1の工程と、前記第1の工程によって生成された等価回路を用いて、前記集積回路の評価を行う第2の工程とを備えたことを特徴とする回路評価方法。

【請求項12】 請求項11において、フォールスパスを表すフォールスパス情報を用いるものであり、

前記フォールスパス情報は、前記集積回路を表すグラフ上の2個の点によって、フォールスパスを表現するものであることを特徴とする回路評価方法。

【請求項13】 請求項12において、前記第1の工程は、フォールスパスを表現する2個の点のうち、第1の点を入力とし、第2の点を出力とする第1の部分回路を抽出する部分回路抽出工程と、前記第1の部分回路を複製し、第2の部分回路として生成する部分回路複製工程と、

30 前記第1および第2の部分回路と、これら以外の回路との接続を、前記第1の点から前記第2の点に向かうパスが存在しないように、変更する部分回路接続変更工程とを備えたものであることを特徴とする回路評価方法。

【請求項14】 請求項13において、前記部分回路接続変更工程は、前記第1の点以外の、前記第1の部分回路に入ってくる枝の始点の集合をInとし、前記第2の点以外の、前記第1の部分回路から出ていく枝の終点の集合をOutとすると、

40 前記第1および第2の部分回路のうちのいずれか一方は、前記第1の点並びにInおよびOutと接続し、かつ、前記第2の点と接続しないようにするとともに、他方は、前記第2の点およびInと接続し、かつ、前記第1の点およびOutと接続しないように、接続を変更するものであることを特徴とする回路評価方法。

【請求項15】 請求項13において、前記部分回路接続変更工程は、前記第1の点以外の、前記第1の部分回路に入ってくる枝の始点の集合をInとし、前記第2の点以外の、前記第1の部分回路から出ていく枝の終点の集合をOutとすると、

前記第1および第2の部分回路のうちのいずれか一方は、前記第1の点およびOutと接続し、かつ、前記第2の点およびInと接続しないようにするとともに、他方は、前記第2の点並びにInおよびOutと接続し、かつ、前記第1の点と接続しないように、接続を変更するものであることを特徴とする回路評価方法。

【請求項16】 設計対象の集積回路について、フォールスパスを抽出する方法であって、前記集積回路が有する各論理ゲート内の非制御信号枝の活性化条件を用いて、前記フォールスパスを、抽出することを特徴とするフォールスパス抽出方法。

【請求項17】 請求項16において、第1のゲート内の非制御信号枝の活性化条件に挙げられた論理値を、伝搬操作を用いて伝搬させ、伝搬する値が制御信号である間、前記伝搬を繰り返し行い、伝搬した値と、第2のゲートの非制御信号枝の活性化条件との間で、矛盾が生じたとき、前記第1のゲートから前記第2のゲートまでの経路を、フォールスパスとして、検出することを特徴とするフォールスパス抽出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS・LSI等の集積回路の設計において、その性能を評価する技術に関するものであり、特に、遅延分布の計算や、フォールスパスの除去や抽出に関する技術に属する。

【0002】

【従来の技術】ディープサブミクロン時代におけるVLSI設計では、要求された性能を持つ回路が歩留まり良く作成されるように、予め製造プロセスのばらつきを考慮しておく必要が生じている。さらに、OPC (Optical Proximity Correction) 等の技術に象徴されるように、マスク形状の修正によるばらつき制御も可能になり、また必要となってきた。したがって、これからのVLSI物理設計では、設計時に製造ばらつきを考慮し、各トランジスタに適正な設計マージンを設定して、より高集積・高性能な回路を設計する技術が必要となる。

【0003】このような設計技術では、製造ばらつきに起因するクリティカルパス遅延等の回路性能のばらつきを見積もる手法が不可欠となる。クリティカルパス遅延の分布は入力に依存しないので、そのばらつきを見積もる手法は、統計的 (Statistical) な静的遅延解析 (Static Timing Analysis) 手法と言える。

【0004】統計的な静的遅延解析手法の1つとして、信号の伝達時間のばらつきに相関がないものとして、最大遅延を見積もるものがある (M.Hashimoto and H.Onodera, "A performance optimization method by gate resizing based on statistical static timing analysis," Proc. Workshop on Synthesis And System Integra

tion of Mixed Technology (SASIMI 2000), pp.77-82, 2000.に開示)。

【0005】一方、CMOS論理ゲートで構成された組合せ回路の静的遅延解析手法としては、図9に示すようなある与えられた回路100を、図10に示すようなアサイクリックグラフ $G=(V, E)$ 200によって表現し、このグラフG200において、各出力端子vについて、値“0”または“1”を伝搬させるために要する最大遅延を求めるという方法があった。

【0006】図10において、破線の楕円211は、回路の主入力端子、主出力端子および論理ゲートの入出力端子に、それぞれ相当する。端子vに対応する楕円211で囲まれた白抜きの点211はvの0点v0であり、黒点212はvの1点v1である。v0およびv1は、それぞれ、対応する端子vが信号値“0”および“1”をとることを示す。

【0007】また、Sは入ってくる枝のないソースの集合であり、Tは出て行く枝のないシンクの集合である。ソースは主入力端子に対応する点であり、シンクは主出力端子に対応する点である。また、グラフGにおけるソースからシンクに至る有向道をパスとする。図10では各枝の向きは示していないが、全ての枝は左側の点から出て、右側の点に入る有向枝とする。

【0008】また図10において、各矩形221、222、223は回路100を構成する論理ゲートを表している。矩形内の左側の点是对应する論理ゲートの入力端子に対応し、右側の点は出力端子に対応する。また矩形内の枝は、その論理ゲートの入力を表す点から出て出力を表す点に入る。矩形がNANDゲートやNORゲートを表す場合には、その枝は、ゲート内のpMOSまたはnMOSに対応する。枝の付け方は論理ゲートの種類に応じて定まる。また異なる矩形に属する点を結ぶ枝は配線に対応し、ある端子の0点から出た枝e0は他の端子の0点に入り、ある端子の1点から出た枝e1は他の端子の1点に入る。

【0009】端子vに値“0”を伝搬させるために要する真の最大遅延を $d_0(v)$ 、値“1”を伝搬させるために要する真の最大遅延を $d_1(v)$ とする。回路の各端子vに対する $d_0(v)$ 、 $d_1(v)$ を、グラフG上のあるシンクからv0、v1までの最大パス長 $d(v_0)$ 、 $d(v_1)$ にそれぞれ対応させる。このため、各枝 $e=(v, w)$ に対して、信号値を端子vから端子wに伝達するのに要する遅延を、重み $t(e)$ として与える。

【0010】このようなアサイクリックグラフを用いてシミュレーションを行うことによって、論理回路の遅延解析を比較的簡単な処理によって行うことが可能であった。

【0011】

【発明が解決しようとする課題】しかしながら、図9に

示されるような回路100において、信号zの遅延を計算する際に、信号xと信号yの遅延が信号bの遅延に大きく依存する場合、信号xとyの遅延の間には大きな相関がある。また、配線遅延にばらつきがある場合、信号bのファンアウトの信号伝達遅延にも相関がある。したがって、相関を考慮しない統計的解析手法は正確さを欠く可能性が高い。

【0012】遅延分布見積りの精度が悪い場合、実際には確率的にほとんど起こり得ないような、複数の最悪条件が重なった場合であっても、集積回路の正常動作を保証しなければならないので、この結果、オーバーマージンを含んだ設計にならざるを得ない。このため、設計された集積回路について、面積や消費電力等のコストを必要以上に増大させてしまうという問題があった。

【0013】前記の問題に鑑み、本発明は、集積回路の遅延分布を計算する方法として、実際の回路に即して、より正確な遅延分布を計算可能にすることを課題とする。

【0014】また、従来の技術では、他の問題もある。

【0015】従来の方法では、実際にはシミュレーションの対象となり得ないパス（フォールスパス）を含んでいる。このため、必要以上に計算時間がかかる、または、遅延見積り精度が低下する等の問題点があった。

【0016】フォールスパスには、論理的にそのパスに信号を伝搬させるような入力が存在せず、実際には活性化されることがない論理的フォールスパスと、そのパスを活性化する入力が存在するが、実際にはそのような入力は生じないため活性化されることがない機能的フォールスパスとがある。例えば、図11において、相反する信号z、 $\neg z$ で制御される2個のANDゲートG1、G6を通るようなパスにおいて、G1のz以外の入力xを“1”にし、G6の出力yを“1”にするようなパスが、論理的フォールスパスに相当する。また、例えば（X，M，Y）という演算器の系列と（A，M，B）という演算器の系列の演算が必要な場合に、乗算器Mを共有化すると、（A，M，Y）または（X，M，B）という演算器の系列が生まれる。ところが、演算器を同時に動作させないような仕様であるとき、これらの系列が機能的フォールスパスに相当する。

【0017】また、論理的フォールスパスを、人間によって発見するのは、回路規模が大きいことからみて実際上不可能であり、計算機を用いて自動的に発見する方法が不可欠である。

【0018】前記の課題に鑑み、本発明は、集積回路を評価する方法として、フォールスパスの影響を回避し、評価精度をより向上させることを課題とする。また、設計対象の集積回路から、フォールスパスを抽出する手法を提案する。

【0019】

【課題を解決するための手段】前記の課題を解決するた

めに、請求項1の発明が講じた解決手段は、設計対象の集積回路について遅延分布を計算する方法として、前記集積回路に含まれた配線同士、または素子同士の性能の相関関係を表す相関関係情報を参照して、遅延分布を計算するものである。

【0020】請求項1の発明によると、集積回路の遅延分布を計算する際に、この集積回路に含まれた配線同士、または素子同士の性能の相関関係を表す相関関係情報が参照される。これにより、集積回路の遅延分布を、精度良く計算することができる。

【0021】そして、請求項2の発明では、前記請求項1の発明における相関関係情報は、前記性能の相関関係として、遅延の相関関係を表すものとする。

【0022】また、請求項3の発明では、前記請求項1の発明における相関関係情報は、性能分布における相関係数によって表されたものとする。

【0023】また、請求項4の発明では、前記請求項1の発明において、前記集積回路内の各素子の接続関係を表す回路情報を基にして当該集積回路を表すグラフを生成する工程と、前記集積回路に含まれた配線および素子の性能分布を表す性能分布情報と前記相関関係情報とを用いて、前記グラフにおける各点について遅延分布を計算する工程とを備えたものとする。

【0024】そして、請求項5の発明では、前記請求項4の発明における計算工程は、前記グラフからすでに遅延分布が計算された点からなる集合に属さない点を計算点として選択する第1の工程と、前記第1の工程によって選択された計算点について、前記性能分布情報および相関関係情報に基づいて遅延分布と前記集合に属する各点との性能の相関関係とを計算する第2の工程とを備え、前記第1および第2の工程を、遅延分布を計算した計算点を前記集合に追加しつつ、繰り返し行うものとする。

【0025】また、請求項6の発明では、前記請求項1の発明において、配線同士または素子同士の性能の相関関係とレイアウト上の特徴との関係を表す相関特性情報を用い、前記集積回路のレイアウトを参照して、前記相関関係情報を生成する工程を備えているものとする。

【0026】そして、請求項7の発明では、前記請求項6の発明における相関特性情報は、少なくとも、素子間の距離と、性能の相関関係との関係を表したものである。

【0027】また、請求項8の発明では、前記請求項6の発明における相関特性情報は、少なくとも、素子の向きと、性能の相関関係との関係を表したものである。

【0028】また、請求項9の発明では、前記請求項6の発明における相関特性情報は、少なくとも、2本の配線における共通部分の有無または長さ、性能の相関関係との関係を表したものである。

【0029】また、請求項10の発明では、前記請求項

6の発明において、特性評価用集積回路について、各配線または素子の特性を評価し、この評価結果と、前記特性評価用集積回路のレイアウトとを基にして、前記相関特性情報を生成する工程を備えているものとする。

【0030】また、請求項11の発明が講じた解決手段は、設計対象の集積回路について評価する方法として、前記集積回路における各部品の接続関係を表す回路情報を基にして、フォールスパスに相当する信号伝達経路を含まない等価回路を生成する第1の工程と、前記第1の工程によって生成された等価回路を用いて前記集積回路の評価を行う第2の工程とを備えたものである。

【0031】請求項11の発明によると、フォールスパスを含まない等価回路を用いて評価を行うことが可能になるので、高速に、かつ、精度よく、集積回路の性能を評価することができる。

【0032】そして、請求項12の発明では、前記請求項11の発明は、フォールスパスを表すフォールスパス情報を用いるものとし、前記フォールスパス情報は、前記集積回路を表すグラフ上の2個の点によってフォールスパスを表現するものとする。

【0033】さらに、請求項13の発明では、前記請求項12の発明における第1の工程は、フォールスパスを表現する2個の点のうち、第1の点を入力とし、第2の点を出力とする第1の部分回路を抽出する部分回路抽出工程と、前記第1の部分回路を複製し、第2の部分回路として生成する部分回路複製工程と、前記第1および第2の部分回路と、これら以外の回路との接続を、前記第1の点から前記第2の点に向かうパスが存在しないように、変更する部分回路接続変更工程とを備えたものとする。

【0034】そして、請求項14の発明では、前記請求項13の発明における部分回路接続変更工程は、前記第1の点以外の前記第1の部分回路に入ってくる枝の始点の集合をInとし、前記第2の点以外の前記第1の部分回路から出ていく枝の終点の集合をOutとすると、前記第1および第2の部分回路のうちのいずれか一方は、前記第1の点並びにInおよびOutと接続し、かつ、前記第2の点と接続しないようにするとともに、他方は、前記第2の点およびInと接続し、かつ、前記第1の点およびOutと接続しないように、接続を変更するものとする。

【0035】また、請求項15の発明では、前記請求項13の発明における部分回路接続変更工程は、前記第1の点以外の前記第1の部分回路に入ってくる枝の始点の集合をInとし、前記第2の点以外の前記第1の部分回路から出ていく枝の終点の集合をOutとすると、前記第1および第2の部分回路のうちのいずれか一方は、前記第1の点およびOutと接続し、かつ、前記第2の点およびInと接続しないようにするとともに、他方は、前記第2の点並びにInおよびOutと接続し、かつ、

前記第1の点と接続しないように、接続を変更するものとする。

【0036】また、請求項16の発明が講じた解決手段は、設計対象の集積回路についてフォールスパスを抽出する方法として、前記集積回路が有する各論理ゲート内の非制御信号枝の活性化条件を用いて、前記フォールスパスを抽出するものである。

【0037】そして、請求項17の発明では、前記請求項16の発明において、第1のゲート内の非制御信号枝の活性化条件に挙げられた論理値を、伝搬操作を用いて伝搬させ、伝搬する値が制御信号である間、前記伝搬を繰り返し行い、伝搬した値と第2のゲートの非制御信号枝の活性化条件との間で矛盾が生じたとき、前記第1のゲートから前記第2のゲートまでの経路をフォールスパスとして検出するものとする。

【0038】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0039】(第1の実施形態)本発明の第1の実施形態では、回路の各端子vにおける最大遅延値の分布の計算を行う方法について、説明する。以下の説明では、端子vに値“0”を伝搬させるために要する真の最大遅延をd0(v)、値“1”を伝搬させるために要する真の最大遅延をd1(v)とする。

【0040】まず最初に、与えられた回路を、図10に示すようなアサイクリックグラフG=(V, E)によって表現する。各枝e=(v, w)に対して、信号値を端子vから端子wに伝達するために要する遅延(枝eの重み)t(e)を、確率変数として扱う。その分布は正規分布N(μ, σ<sup>2</sup>)であるものとし、遅延t(e)の平均μおよび分散σ<sup>2</sup>をそれぞれμ(e)および分散σ<sup>2</sup>(e)と表す。すなわち、遅延t(e)の確率密度関数f(t(e))は、

【数1】

$$f(t(e)) = \frac{1}{\sqrt{2\pi\sigma(e)}} \exp\left[-\frac{(t(e)-\mu(e))^2}{2\sigma^2(e)}\right] \dots\dots\dots (1)$$

で与えられる。

【0041】次に、配線に対応した枝eの遅延t(e)について説明する。ここでは、配線遅延t(e)も正規分布で示されるばらつきを持つものとする。

【0042】いま、配線に対応した枝が点v, wの0点同士を結ぶ枝e0=(v0, w0)である場合、点v, wの1点同士を結ぶ枝e1=(v1, w1)が存在するが、その遅延t(e1)のばらつきは遅延t(e0)のばらつきと独立とはいえない。また、点vから2本以上の枝e'=(v, w'), e''=(v, w')が出る場合(すなわちファンアウトを持つ場合)も、枝e', e''の遅延t(e'), t(e'')のばらつきは独立ではない。そこで、このような同一ネットに対応する枝の

組 $(e', e'')$ に対して、相関係数 $r(e', e'') \neq 0$ を導入する。配線に対応する枝 $e'$ の遅延と、異なるネットの配線に対応する枝または配線に対応しない(論理ゲートに含まれる)枝 $e''$ の遅延とは独立であり、相関係数 $r(e', e'') = 0$ とする。

【0043】次に、論理ゲートに対応した枝とその遅延について説明する。論理ゲートの出力端子 $w$ に“0”または“1”を伝搬するために要する最大遅延を、グラフ $G$ 上の点 $w$ の0点 $w0$ または1点 $w1$ への最大パス長 $d^*$

$$d(w1) = \max [d(vi1) + t(ei1) \mid 1 \leq i \leq k] \dots (2)$$

によって計算できる。そこで、各入力 $vi$ の1点 $vi1$ から $w$ の1点 $w1$ に枝 $ei1 = (vi1, w1)$ を付し、枝 $ei1$ の遅延 $t(ei1)$ は入力 $vi$ が“1”になってから出力 $w$ が“1”になるまでの時間とする。

【0045】一方、ANDゲートの出力 $w$ を“0”にするために要する遅延 $d(w0)$ は、一つの入力が“0”※

$$\min [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (3)$$

で与えられるようにみえる。

【0046】しかし、 $vi$ 以外の全ての入力 $vj$ が1の場合にも、

$$d(w0) = d(vi0) + t(ei0)$$

$$d(w0) = \max [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (4)$$

で得られる。

【0047】そこで、各入力 $vi$ の0点 $vi0$ から出力 $w$ の0点 $w0$ に枝 $ei0 = (vi0, w0)$ を付し、枝 $ei0$ の遅延 $t(ei0)$ は入力 $vi$ が“0”になってから出力 $w$ が“0”になるまでの時間とする。

【0048】このようにしてANDゲート内部に枝を付加し、その遅延を定めることによって、遅延 $d(w)$  ☆

$$d(w1) = \max [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (5)$$

$$d(w0) = \max [d(vi1) + t(ei1) \mid 1 \leq i \leq k] \dots (6)$$

で計算できることが分かる。

【0050】したがって、各入力 $vi$ の0点 $vi0$ から出力 $w$ の1点 $w1$ に枝 $ei0 = (vi0, w1)$ を付し、各入力 $vi$ の1点 $vi1$ から出力 $w$ の0点 $w0$ に枝 $ei1 = (vi1, w0)$ を付ける。枝 $ei0$ の遅延 $t(ei0)$ および $ei1$ の遅延 $t(ei1)$ は、それぞれ入力 $vi$ が“0”になってから出力 $w$ が“1”になるまでの時間、 ◆

$$d(w0) = \max [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (7)$$

$$d(w1) = \max [d(vi1) + t(ei1) \mid 1 \leq i \leq k] \dots (8)$$

によって計算できる。

【0052】したがって、ORゲートに対する枝の付け方は、ANDゲートの場合と同様であり、NORゲートに対する枝の付け方は、NANDゲートの場合と同様である。CMOS複合ゲートの場合も、NAND(NOR)ゲートの場合と同様に枝を付せばよい。

【0053】しかしながら、XORゲートの場合には、入力 $vi$ の値“0”が出力 $w$ の値を“0”にすることもあれば“1”にすることもある。また、入力 $vi$ の値“1”が出力 $w$ の値を“0”にすることもあれば“1”

\* $(w0)$ および $d(w1)$ に対応させるために、どのように枝を作成すればよいかを考える。

【0044】まず、論理ゲートがANDゲートの場合を考える。ANDゲートの入力端子を $vi$  ( $1 \leq i \leq k$ )とし、出力端子を $w$ とする。出力 $w$ を“1”にするために要する遅延 $d(w1)$ は、全ての入力 $vi$ が“1”になってからの時間であるから、全ての入力 $vi$ が“1”という条件の下で、

※になる時間によって決まる。したがって、 $vi$ 以外の各入力 $vj$  ( $j \neq i, 1 \leq j \leq k$ )が“0”であり、 $d(vi0) + t(ei0) \leq d(vj0) + t(ej0)$ であるとき、

$$d(w0) = d(vi0) + t(ei0)$$

となるから、 $d(w0)$ は、

★となるから、各 $1 \leq i \leq k$ に対して、 $vi$ 以外の全ての入力 $vj$ が“1”という条件が成り立つ場合には、 $w$ を

20 “0”にするために要する遅延の中で最大のもの $d(w0)$ は、

☆1),  $d(w0)$ のいずれも最大値演算を用いて計算することができる。

【0049】次に、論理ゲートがNANDゲートの場合について、具体的に説明する。この場合、上述の式(2), (4)において、出力 $w$ を“1”にする場合と“0”にする場合とを入れ替えるだけなので、遅延 $d(w1)$ ,  $d(w0)$ は、

$$d(w1) = \max [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (5)$$

$$d(w0) = \max [d(vi1) + t(ei1) \mid 1 \leq i \leq k] \dots (6)$$

◆および、入力 $vi$ が“1”になってから出力 $w$ が“0”になるまでの時間である。論理ゲートがインバータの場合は、 $k=1$ とすればよい。

【0051】論理ゲートがOR(またはNOR)ゲートの場合も、同様の議論から、 $d(w0)$ (NORゲートの場合は $d(w1)$ )および $d(w1)$ (NORゲートの場合は $d(w0)$ )は、

$$d(w0) = \max [d(vi0) + t(ei0) \mid 1 \leq i \leq k] \dots (7)$$

$$d(w1) = \max [d(vi1) + t(ei1) \mid 1 \leq i \leq k] \dots (8)$$

にすることもある。このため、入力 $vi$ の0点 $vi0$ から出力 $w$ の0点 $w0$ および1点 $w1$ に、枝 $ei00 = (vi0, w0)$ および $ei01 = (vi0, w1)$ をそれぞれ付し、入力 $vi$ の1点 $vi1$ から出力 $w$ の0点 $w0$ および1点 $w1$ に、枝 $ei10 = (vi1, w0)$ および $ei11 = (vi1, w1)$ をそれぞれ付す。これらの枝 $eibb' = (vib, wb')$ の遅延 $t(eibb')$ は、入力 $vi$ が $b$ になってから出力 $w$ が $b'$ になるまでの時間である。ここで、 $b, b'$ はいずれも、“0”または

50 “1”のいずれかを表す。

11

【0054】このようにして論理ゲート内部の枝を生成すれば、アサイクリックグラフ $G=(V, E)$ において各シンクへの最大パス長を求めたとき、これがクリティカルパス遅延の候補となる。

【0055】次に、論理ゲート内の遅延のばらつきについて説明する。

【0056】NANDゲート、NORゲートまたはCMOS複合ゲートの場合、枝の遅延 $t(e|0)$ および $t(e|1)$ は、そのゲートの入力 $v_i$ が接続するpMOSおよびnMOSに付随したスイッチング遅延と考えれば良い。このようなスイッチング遅延は、トランジスタが飽和領域にある時間であり、飽和ドレイン電流 $I_{dsat}$ 、駆動すべき負荷容量 $C$ 、およびゲート電圧の立ち上がり速度などによって決まる。飽和ドレイン電流 $I_{dsat}$ はばらつきを持ち、それはゲート長 $L$ のばらつきに最も依存する。このゲート長 $L$ のばらつきは、しきい値電圧 $V_{th}$ の場合と同様、ほぼ正規分布で表されるので、スイッチング遅延 $t(e|b)$ も正規分布 $N(\mu, \sigma^2)$ となるものとする。

【0057】ゲート長 $L$ のばらつきは、隣り合うポリシリコンゲートの間隔 $P$ 、トランジスタゲート幅 $W$ 、拡散領域の長さ $L_{dif}$ などに影響される。したがって、これらの値とゲート長 $L$ のばらつきとの関係が見いだせたら、レイアウトパターンから間隔 $P$ 、ゲート幅 $W$ 、拡散領域長 $L_{dif}$ の値を求め、ゲート長 $L$ のばらつきを予測することができ、それからスイッチング遅延のばらつきを見積もることができる。

【0058】このような遅延のばらつきは、隣り合うポリシリコンゲートの間隔に影響されるため、隣り合うト

$$Exp[t] = \mu_1 \cdot \Phi(\beta) + \mu_2 \cdot \Phi(-\beta) + \alpha \cdot \phi(\beta) \cdots \cdots (9)$$

$$Var[t] = (\mu_1^2 + \sigma_1^2) \cdot \Phi(\beta) + (\mu_2^2 + \sigma_2^2) \cdot \Phi(-\beta) + (\mu_1 + \mu_2) \cdot \alpha \cdot \phi(\beta) - Exp[t]^2 \cdots \cdots (10)$$

で求められる。ここで、

【数2】

$$\alpha = \sqrt{\sigma_1^2 + \sigma_2^2} - 2\sigma_1\sigma_2\rho \cdots \cdots (11)$$

$$\beta = (\mu_1 - \mu_2)/\alpha \cdots \cdots (12)$$

$$\phi(x) = \frac{1}{\sqrt{2\pi}} \exp\left[-\frac{x^2}{2}\right] \cdots \cdots (13)$$

$$\Phi(x) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^x \exp\left[-\frac{y^2}{2}\right] dy \cdots \cdots (14)$$

とする(C.E. Clark, "The greatest of a finite set of random variables" Operations Research, vol.9, p. 145-152, 1961. に開示)。

【0063】さらに、 $t$ と、正規分布する確率変数 $z$ と

\*ランジスタに対応する枝の遅延のばらつきは独立ではなくなる。そこで、同一論理ゲートに含まれる枝の組 $(e', e'')$ に対して、相関係数 $r(e', e'') \neq 0$ を導入する。NANDゲートやNORゲート以外の論理ゲートにも、このような相関を考える。相関がない場合には、相関係数 $r(e', e'') = 0$ としておけばよい。

【0059】相関があるのは同じ論理ゲート内に含まれる枝同士だけなので、異なるゲートに含まれる枝 $e'$ 、 $e''$ の遅延は独立であり、 $r(e', e'') = 0$ とする。また、NANDゲートやNORゲートの場合には、異なる種類のMOSに対応した枝 $e'$ 、 $e''$ の遅延も独立である。

【0060】遅延のばらつきに相関があるのは、同一ネットの配線に対応した枝間ならびに一つの論理ゲート内の枝間だけであるから、遅延に相関のある枝を通るような(有向)パスは存在しない。したがって、一つのパス上のどのような枝に対しても、それらの遅延は独立である。

【0061】次に、論理ゲートおよび配線の遅延分布およびそれらの相関関係を用いて、対象とする回路の遅延の最大値の分布計算について記述する。

【0062】相関係数 $R[x, y] = \rho$ を持つ確率変数 $x$ および $y$ が、それぞれ正規分布 $N(\mu_1, \sigma_1^2)$ および $N(\mu_2, \sigma_2^2)$ をしているとき、 $t (= \max[x, y])$ の平均 $Exp[t]$ と分散 $Var[t]$ は、 $t$ が2変数の正規分布をすると近似すると、 $\sigma_1 - \sigma_2 = \rho - 1 = 0$ でないという条件で、

の相関係数 $R[t, z]$ は、 $z$ と $x$ および $z$ と $y$ との相関係数が、それぞれ $R[x, z] = \rho_1$ 、 $R[y, z] = \rho_2$ であるとき、3変数 $x, y, z$ の正規分布を用いて、

【数3】

$$R[t, z] = R[\max[x, y], z] = \frac{[\sigma_1 \rho_1 \Phi(\beta) + \sigma_2 \rho_2 \Phi(-\beta)]}{\sqrt{Var[t]}}$$

$$\cdots \cdots (15)$$

で与えられる。

【0064】これらを利用する上で、確率に関する以下の式が必要となる。2変数 $x_1, x_2$ の確率密度関数を $f(x_1, x_2)$ としたとき、 $x_1 + x_2$ の平均 $Exp[x_1 + x_2]$ と分散 $Var[x_1 + x_2]$ は、

【数4】

13

14

$$\begin{aligned}
 \text{Exp}[x_1 + x_2] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_1 + x_2) f(x_1, x_2) dx_1 dx_2 \\
 &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} x_1 \cdot f(x_1, x_2) dx_1 dx_2 + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} x_2 \cdot f(x_1, x_2) dx_1 dx_2 \\
 &= \int_{-\infty}^{\infty} x_1 \cdot f_{x_2}(x_1) dx_1 + \int_{-\infty}^{\infty} x_2 \cdot f_{x_1}(x_2) dx_2 \\
 &= \mu_1 + \mu_2 \quad \dots\dots\dots (16)
 \end{aligned}$$

$$\begin{aligned}
 \text{Var}[x_1 + x_2] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_1 + x_2 - \mu_1 - \mu_2)^2 \cdot f(x_1, x_2) dx_1 dx_2 \\
 &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \{(x_1 - \mu_1) + (x_2 - \mu_2)\}^2 \cdot f(x_1, x_2) dx_1 dx_2 \\
 &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_1 - \mu_1)^2 \cdot f(x_1, x_2) dx_1 dx_2 + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_2 - \mu_2)^2 \cdot f(x_1, x_2) dx_1 dx_2 \\
 &\quad + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} 2(x_1 - \mu_1)(x_2 - \mu_2) f(x_1, x_2) dx_1 dx_2 \\
 &= \sigma_1^2 + \sigma_2^2 + 2 \cdot \text{Cov}[x_1, x_2] \quad \dots\dots\dots (17)
 \end{aligned}$$

から、下に示す式(18)、(19)によって求められる。

$$\begin{aligned}
 \text{Exp}[x_1 + x_2] &= \text{Exp}[x_1] + \text{Exp}[x_2] \quad \dots\dots (18) \\
 \text{Var}[x_1 + x_2] &= \text{Var}[x_1] + \text{Var}[x_2] + 2 \text{Cov}[x_1, x_2] \quad \dots\dots (19)
 \end{aligned}$$

【0065】ここで、 $\text{Cov}[x_1, x_2]$  は共分散であり \* で定義されている。

り、相関係数を  $R[x_1, x_2]$  とすると、次式(20) \* 20

$$\text{Cov}[x_1, x_2] = \text{SQRT}[\text{Var}[x_1] \text{Var}[x_2]] \cdot R[x_1, x_2] \quad \dots\dots (20)$$

3変量  $x_1, x_2, x_3$  の確率密度関数を  $f(x_1, x_2, x_3)$  は、

$x_3$  とすると、 $x_1 + x_2$  と  $x_3$  の共分散  $\text{Cov}[x_1 + x_2, x_3]$  【数5】

$$\begin{aligned}
 \text{Cov}[x_1 + x_2, x_3] &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_1 + x_2 - \mu_1 - \mu_2)(x_3 - \mu_3) f(x_1, x_2, x_3) dx_1 dx_2 dx_3 \\
 &= \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_1 - \mu_1)(x_3 - \mu_3) f(x_1, x_2, x_3) dx_1 dx_2 dx_3 \\
 &\quad + \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} (x_2 - \mu_2)(x_3 - \mu_3) f(x_1, x_2, x_3) dx_1 dx_2 dx_3 \\
 &= \text{Cov}[x_1, x_3] + \text{Cov}[x_2, x_3] \quad \dots\dots\dots (21)
 \end{aligned}$$

から、次式(22)で計算することができる。

$$\text{Cov}[x_1 + x_2, x_3] = \text{Cov}[x_1, x_3] + \text{Cov}[x_2, x_3] \quad \dots\dots (22)$$

【0066】与えられたグラフには、直列枝が複数存在する。そこでここでは、上述した式を利用して、2本の直列枝  $e' = (u, v)$ 、 $e'' = (v, w)$  を1本の枝  $e^* = (u, w)$  に縮約する手順を示す。

★【0067】グラフの作り方から明らかに、遅延  $t(e')$  と  $t(e'')$  は独立であり、 $t(e^*) = t(e') + t(e'')$  とすれば良いから、次の式(23)、(24)が成り立つ。

$$\mu(e^*) = \mu(e') + \mu(e'') \quad \dots\dots (23)$$

$$\sigma^2(e^*) = \sigma^2(e') + \sigma^2(e'') \quad \dots\dots (24)$$

【0068】さらに、上述の式(20)、(22)から  $\rho(e^*, e)$  は、

ら、 $t(e^*)$  と他の枝  $e$  の遅延  $t(e)$  との相関係数 ☆ 【数6】

$$\rho(e^*, e) = \{\sigma(e') \rho(e', e) + \sigma(e'') \rho(e'', e)\} / \sqrt{\sigma^2(e') + \sigma^2(e'')} \quad \dots\dots\dots (25)$$

で得られる。これは、

【数7】



$$\begin{aligned}\rho(e', e) &= \frac{\text{Cov}[t(e'), t(e)]}{\sigma(e') \sigma(e)} = \frac{\text{Cov}[t(e'), t(e)] + \text{Cov}[t(e''), t(e)]}{\sigma(e') \sigma(e)} \\ &= \frac{\sigma(e') \sigma(e) \rho(e', e) + \sigma(e'') \sigma(e) \rho(e'', e)}{\sigma(e') \sqrt{\sigma^2(e') + \sigma^2(e'')}} \\ &= \{\sigma(e') \rho(e', e) + \sigma(e'') \rho(e'', e)\} / \sqrt{\sigma^2(e') + \sigma^2(e'')} \\ &\dots\dots\dots (26)\end{aligned}$$

で確かめられる。このようにして直列枝の縮約を行って 10 \* 【0069】 n 変数正規分布の確率密度関数  $f(x_1, x_2, \dots, x_n)$  は、  
も、パス上の枝の遅延の独立性は変化しない。すなわち、  
ち、 $e$  と  $e^*$  を同時に通るようなパスがある場合には、  
 $\rho(e^*, e) = 0$  である。

$$f(x_1, x_2, \dots, x_n) = \frac{1}{(\sqrt{2\pi})^n} \exp\left[-\frac{1}{2}(x-\mu)^T (\sigma^{-1})(x-\mu)\right] \dots\dots\dots (27)$$

で与えられる。ここで、 $(x-\mu)$  はベクトル、 $(x-\mu)^T$  は  $(x-\mu)$  の転置ベクトルであり、 $(x-\mu)^T \sigma^{-1} (x-\mu)$  は  $(x-\mu)$  の転置ベクトルと  $\sigma^{-1}$  の積である。また、 $\sigma_{ij}$  は、  
【数9】  
 $\mu)^T = (x_1 - \mu_1 \quad x_2 - \mu_2 \quad \dots \quad x_n - \mu_n) \quad \star$

$$\sigma^{-1} = \begin{pmatrix} \sigma_1^2 & \sigma_1 \sigma_2 \sigma_{12} & \dots & \sigma_1 \sigma_n \sigma_{1n} \\ \sigma_1 \sigma_2 \sigma_{12} & \sigma_2^2 & \dots & \sigma_2 \sigma_n \sigma_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ \sigma_1 \sigma_n \sigma_{1n} & \sigma_2 \sigma_n \sigma_{2n} & \dots & \sigma_n^2 \end{pmatrix} \dots\dots\dots (28)$$

で示される対称行列であり、 $\sigma^{ij} = (\sigma_{ij})^{-1}$  である。  
また  $|\sigma^{ij}|$  はその行列式である。ここで、 $\mu$ 、 $\sigma^2$ 、  
 $\rho$  はそれぞれ平均値、分散、相関係数に相当する。

$$f(x_1, x_2) = \frac{1}{2\pi\sigma_1\sigma_2\sqrt{1-\rho^2}} \exp\left[-\frac{1}{2(1-\rho^2)}\left\{\left(\frac{x_1-\mu_1}{\sigma_1}\right)^2 - 2\rho\left(\frac{x_1-\mu_1}{\sigma_1}\right)\left(\frac{x_2-\mu_2}{\sigma_2}\right) + \left(\frac{x_2-\mu_2}{\sigma_2}\right)^2\right\}\right] \dots\dots\dots (29)$$

で与えられ、相関係数  $\rho = 1$  のとき、2 変数  $x_1, x_2$  の間には、  
【数11】

$$\frac{x_1 - \mu_1}{\sigma_1} = \frac{x_2 - \mu_2}{\sigma_2} \dots\dots\dots (30)$$

なる関係がある。  
【0071】そして、n 変数の確率密度関数を  $f(x_1, x_2, \dots, x_n)$  とすると、全ての変数が  $D$  である確率  $\text{Pro}[\max[x_1, x_2, \dots, x_n] \leq D]$  は、

$$\text{Pro}[\max[x_1, x_2, \dots, x_n] \leq D] = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} f(x_1, x_2, \dots, x_n) dx_1 dx_2 \dots dx_n \dots\dots\dots (31)$$

で与えられる。また、確率  $\text{Pro}[\max[x_1, x_2, \dots, x_n] \leq D]$  が指定された値  $Y$  以下になる \*  
 $Y = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} f(x_1, x_2, \dots, x_n) dx_1 dx_2 \dots dx_n$  \*  
【数13】

で示される積分方程式を解くことによって、求められる。

【0072】＜遅延分布計算＞次に、上述した関係を用いて集積回路の遅延分布を求める方法について説明する。

【0073】すなわち、シンク集合  $T$  の点  $v$  ( $v \in T$ ) への最大遅延  $d(v)$  の分布 (すなわち平均  $E[x(d(v))]$  と分散  $V[\text{ar}[d(v)]]$ ) と、シンク集合  $T$  の点  $v, w$  ( $v, w \in T$ ) 間の遅延の相関係数  $R[d(v), d(w)]$  を求める。これらが求められれば、

【数12】

クリティカルパス遅延  $\max [d(v) \mid v \in T]$  が D 以下である確率は、全ての  $d(v)$  が、 $|T|$  変量の正規分布をするものとして、式 (31) から求められる。\*

$$g(D) = \frac{d[\int_{-\infty}^D \int_{-\infty}^D \dots \int_{-\infty}^D f(x_1, x_2, \dots, x_n) dx_1 dx_2 \dots dx_n]}{dD} \dots (33)$$

で求めることができる。

【0074】これらは数値計算によって求めることができるが、この場合、非常に計算時間がかかる。これに対して、式 (33) を正規分布で近似すれば、以下に述べる手法 (式 (9) ~ 式 (15)) を繰り返し用いて、その分布を高速に計算することができる。

【0075】以下では、各点  $v$  への最大遅延 (あるソース  $u$  ( $u \in S$ ) から  $v$  への最長パス長) を  $d(v)$ 、その平均および分散をそれぞれ  $m(v)$  ( $= \text{Exp}[d(v)]$ )、 $s(v)$  ( $= \text{Var}[d(v)]$ ) と表す。さらに、2点  $v, w$  への最大遅延  $d(v)$ 、 $d(w)$  の間の相関係数を  $r(v, w)$  ( $= R[d(v), d(w)]$ ) と表す。また、点  $v$  への最大遅延  $d(v)$  と枝  $e$  の遅延  $t(e)$  との間の相関係数を  $c(v, e)$  ( $= R[d(v), t(e)]$ ) と表す。

【0076】図1は本発明の第1の実施形態に係る遅延分布計算方法を示すフローチャートである。本実施形態では、アサイクリックグラフ  $G = (V, E)$  において、位相幾何学的順序 (topological order) で、ソースから各点  $v$  ( $v \in V$ ) への最大遅延  $d(v)$  の分布を計算する。このために、以下の条件 (A) (B) (C) が常に成り立つような点の集合  $\text{Front}$  を考える。

【0077】(A) 各点  $v$  ( $v \in \text{Front}$ ) について、最大遅延  $d(v)$  の平均  $m(v)$  と分散  $s(v)$  が既知である。

【0078】(B) 任意の2点  $v, u$  ( $v, u \in \text{Front}$ ) に対して、最大遅延  $d(v)$ 、 $d(u)$  の相関係数  $r(v, u)$  が既知である。

【0079】(C) 各点  $v$  ( $v \in \text{Front}$ ) に対して、最大遅延  $d(v)$  と任意の枝  $e$  ( $e \in E$ ) の遅延  $t(e)$  との相関係数  $c(v, e)$  が既知である。なお、直列枝は、すでに述べた手法によって、1本の枝に縮約されているものとする。

【0080】まず、入力工程 S11において、集積回路内の各素子の接続関係を表す回路情報11、集積回路に※40

$$\begin{aligned} m'_i(w) &= \text{Exp}[d'_i(w)] = m(v_i) + \mu(e_i) \\ s'_i(w) &= \text{Var}[d'_i(w)] = s(v_i) + \sigma^2(e_i) + 2\sqrt{s(v_i)} \sigma(e_i) c(v_i, e_i) \dots (35) \end{aligned}$$

を用いて求めることができる。

【0085】ここで、枝  $e_i$  の遅延は、 $v_i$  に至るどのようなパス上の枝の遅延とも独立であるから、 $d(v_i)$  と  $t(e_i)$  も独立であり、 $c(v_i, e_i) = 0$  である。したがって、

\*また、その分布を調べる場合には、式 (31) を D で微分し、

【数14】

※含まれた配線や論理ゲート等各素子の性能分布を表す性能分布情報12、および配線および素子の遅延分布の相関関係を表す相関関係情報13を入力する。回路情報11を基にして、当該集積回路を表すアサイクリックグラフが生成される。

【0081】次に、計算点選択工程 S12において、遅延分布計算を行う対象となる計算点の選択を行う。当初は、 $\text{Front} = S$  (ソースの集合) とし、各点  $u$  ( $u \in S$ ) に対して、 $m(u) = s(u) = 0$  とする。このとき、集合  $\text{Front}$  の異なる点間の相関係数は全て0としておけば良いので、上記の条件は成立する。なお、主入力の信号伝達時刻のズレやばらつきがあるような場合には、それらを予めここに組み込むこともできる。その後の繰り返しでは、位相幾何学的順序に基づいて、アサイクリックグラフから1点を選択する。

【0082】次に、部分回路遅延分布計算工程 S13において、計算点選択工程 S12において選択された計算点における遅延分布と、すでに選択された点との相関関係の計算を行う。そして、上の条件 (A) (B) (C) を満たしつつ、新たな点  $w$  を集合  $\text{Front}$  に入れる。

【0083】いま、集合  $\text{Front}$  の点を  $v_i$  ( $i = 1, 2, \dots, k, \dots, h$ ) とし、入ってくる枝は全て集合  $\text{Front}$  から来るような点  $w$  を考える。記述を簡単化するため、点  $w$  に入ってくる枝を  $e_i = (v_i, w)$  ( $i = 1, 2, \dots, k$ ) とする。また、出ていく枝 ( $v_i, u$ ) の終点  $u$  が全て  $\text{Front} \cup \{w\}$  に含まれてしまうような点  $v_i$  ( $v_i \in \text{Front}$ ) の集合を  $\text{Eliminate}$  と記す。

【0084】あるソースから枝  $e_i = (v_i, w)$  を通って点  $w$  に至るパスの最大遅延を  $d'_i(w)$  と表すと、 $d'_i(w) = d(v_i) + t(e_i) \dots (34)$  であるから、式 (18) ~ (20) を用いて、 $d'_i(w)$  の平均  $m'_i(w)$  と分散  $s'_i(w)$  を、

【数15】

$$\begin{aligned} s'_i(w) &= \text{Var}[d'_i(w)] \\ &= s(v_i) + \sigma^2(e_i) \dots (36) \end{aligned}$$

の関係が成立する。

【0086】また、式 (20)、(22) から、 $s(u) \neq 0$  なる任意の点  $u$  ( $u \in \text{Front}$ ) および任意の枝  $e$  ( $e \in E$ ) に対して、

50 【数16】

$$\sqrt{s_i'(w)} s(u) r_i'(w, u) = \sqrt{s(v_i)} s(u) r(v_i, u) + \sqrt{s(u)} \sigma(e_i) c(u, e_i) \dots (37)$$

$$\sqrt{s_i'(w)} \sigma(e_i) c_i'(w, e) = \sqrt{s(v_i)} \sigma(e_i) c(v_i, e) + \sigma(e_i) \rho(e_i, e) \dots (38)$$

であるから、

【数17】

$$r_i'(w, u) = \frac{\sqrt{s(v_i)} r(v_i, u) + \sigma(e_i) c(u, e_i)}{\sqrt{s_i'(w)}} \dots (39)$$

$$c_i'(w, e) = \frac{\sqrt{s(v_i)} c(v_i, e) + \sigma(e_i) \rho(e_i, e)}{\sqrt{s_i'(w)}} \dots (40)$$

の関係が成立する。ここで  $s(u) = 0$  の場合には、 $10 * w$  ( $j = 1, 2, \dots, i$ ) のいずれかを通して点  $w$  に至るパスの最大遅延を  $d_i(w)$  とする。すなわち、  
 $r_i'(w, u) = 0$  としておく。

【0087】次に、ソース  $v_0$  から枝  $e_j = (v_j, *)$   
 $d_i(w) = \max [d_j'(w) \mid 1 \leq j \leq i] \dots (41)$

とする。 ※。そこで、 $d_{i-1}(w)$  に関する分布が求まっている

【0088】明らかに、 $d_i(w) = d_i'(w)$  であるとき、すなわち、

$$m_{i-1}(w) = \text{Exp} [d_{i-1}(w)] \dots (42)$$

$$s_{i-1}(w) = \text{Var} [d_{i-1}(w)] \dots (43)$$

$$r_{i-1}(w, u) = R [d_{i-1}(w), d(u)] \dots (44)$$

$$c_{i-1}(w, e) = R [d_{i-1}(w), t(e)] \dots (45)$$

が既知のとき、次式 (46) ~ (49) を求めることを考える。

$$m_i(w) = \text{Exp} [d_i(w)] \dots (46)$$

$$s_i(w) = \text{Var} [d_i(w)] \dots (47)$$

$$r_i(w, u) = R [d_i(w), d(u)] \dots (48)$$

$$c_i(w, e) = R [d_i(w), t(e)] \dots (49)$$

このため、式 (50) を用いる。

$$d_i(w) = \max [d_{i-1}(w), d_i'(w)] \dots (50)$$

$i = 2$  の場合から順に  $i = k$  まで計算し、 $d(w)$  の分布が求まれば、点  $w$  を集合  $\text{Front}$  に入れることができる。点  $w$  を集合  $\text{Front}$  に入れたとき、新たな集合  $\text{Front} = (\text{Front} - \text{Eliminate}) \cup \{w\}$  とする。★ [w] に対して上の条件 (A) (B) (C) が成立することが分かる。

【0089】 $d_i(w)$  の分布は、式 (9) ~ 式 (15)、すなわち、

$$\alpha = \text{SQRT} [s_{i-1}(w) + s_i'(w) - 2 \text{SQRT} [s_{i-1}(w) s_i'(w)]] \cdot r_i'(w, w) \dots (51)$$

を用いて計算する。ここで、 $r_i'(w, w) = R [d_{i-1}(w), d_i'(w)]$  は、

$$\begin{aligned} r_i'(w, w) &= R[d_{i-1}(w), d_i'(w)] = \frac{\text{Cov}[d_{i-1}(w), d(v_i) + t(e_i)]}{\sqrt{s_{i-1}(w)} \sqrt{s_i'(w)}} \\ &= \frac{\text{Cov}[d_{i-1}(w), d(v_i)] + \text{Cov}[d_{i-1}(w), t(e_i)]}{\sqrt{s_{i-1}(w)} \sqrt{s_i'(w)}} \\ &= \frac{\sqrt{s_{i-1}(w)} s(v_i) r_{i-1}(w, v_i) + \sqrt{s_{i-1}(w)} \sigma(e_i) c_{i-1}(w, e_i)}{\sqrt{s_{i-1}(w)} \sqrt{s_i'(w)}} \\ &= \frac{\sqrt{s(v_i)} r_{i-1}(w, v_i) + \sigma(e_i) c_{i-1}(w, e_i)}{\sqrt{s_i'(w)}} \dots (52) \end{aligned}$$

から計算できる。したがって、

【数19】

$$\alpha = \frac{21}{\sqrt{s_{i-1}(w) + s_i'(w) - 2\sqrt{s_{i-1}(w)}\{\sqrt{s(v_i)}r_{i-1}(w, v_i) + \sigma(e)c_{i-1}(w, e)\}}} \quad \dots\dots\dots (53)$$

$$\beta = (m_{i-1}(w) - m_i'(w)) / \alpha \quad \dots\dots\dots (54)$$

とすれば、

【数 20】

$$\begin{aligned} m_i(w) &= \text{Exp}[\max[d_{i-1}(w), d_i'(w)]] \\ &= m_{i-1}(w) \cdot \Phi(\beta) + m_i'(w) \cdot \Phi(-\beta) + \alpha \cdot \varphi(\beta) \quad \dots\dots\dots (55) \end{aligned}$$

$$\begin{aligned} s_i(w) &= \text{Var}[\max[d_{i-1}(w), d_i'(w)]] \\ &= \{m_{i-1}(w)\}^2 + s_{i-1}(w) \Phi(\beta) + \{m_i'(w)\}^2 + s_i'(w) \Phi(-\beta) \\ &\quad + \{m_{i-1}(w) + m_i'(w)\} \cdot \alpha \cdot \varphi(\beta) - \{m_i(w)\}^2 \quad \dots\dots\dots (56) \end{aligned}$$

$$\begin{aligned} r_i(w, u) &= R[\max[d_{i-1}(w), d_i'(w)], d(u)] \\ &= \frac{\{\sqrt{s_{i-1}(w)} / r_{i-1}(w, u) \Phi(\beta) + \sqrt{s_i'(w)} / r_i'(w, u) \Phi(-\beta)\}}{\sqrt{s_i(w)}} \quad \dots\dots\dots (57) \end{aligned}$$

$$\begin{aligned} c_i(w, e) &= R[\max[d_{i-1}(w), d_i'(w)], i(e)] \\ &= \frac{\{\sqrt{s_{i-1}(w)} / c_{i-1}(w, e) \Phi(\beta) + \sqrt{s_i'(w)} / c_i'(w, e) \Phi(-\beta)\}}{\sqrt{s_i(w)}} \quad \dots\dots\dots (58) \end{aligned}$$

によって、 $d_i(w)$  の分布を計算することができる。  
したがって、回路内の点  $w$  を集合 **Front** に入れるという操作を繰り返すことにより、回路のすべての点を集合 **Front** に入れることができ、相関を考慮した回路の遅延分布を計算することができる。

【0090】このように、集合 **Eliminate** を集合 **Front** から除去し、点  $w$  を集合 **Front** に入れるという操作を繰り返し、最終的に **Front** = **T** が成立すれば、処理は終了である。この判断は、終了条件判断工程 **S14** において行う。

【0091】すべての点の遅延分布計算が終了したとき、出力工程 **S15** において、出力端子の遅延分布情報 **14**、すなわちシンク **T** の各点の遅延の平均および分散を出力し、処理を終了する。そうでない場合は、計算点選択工程 **S12** に戻って処理を続ける。

【0092】なお、本実施形態では、相関関係情報は、遅延分布における相関係数によって表すものとしたが、遅延分布の代わりに遅延値そのものの相関度によって表すようにしてもよい。また、遅延以外の性能に関する相関関係を用いて、遅延分布の計算を行うことも可能である。

【0093】例えば、相関特性情報を用いて、設計対象の集積回路のレイアウトを参照して、相関関係情報を生成するようにしてもよい。ここで、「相関特性情報」とは、配線または素子の性能の相関関係と、レイアウト上の特徴との関係を表すものである。図 **12** は相関関係情

報を生成する方法を示すフローチャートである。

【0094】素子の特性情報としては、遅延をはじめ、トランジスタのゲート幅、ゲート長、酸化膜厚、イオン注入濃度、ソースドレイン間の飽和電流、しきい値電圧等がある。これらのプロセスばらつきには、全くランダムな要因と、形状、位置、向き等のレイアウト情報に依存して変化する要因がある。例えば、トランジスタ拡散層のイオン注入濃度は、製造時の注入装置の方向に依存するので、同じ向きに配置した方が同じ特性が得られやすい。また、イオン注入濃度や酸化膜厚等は配置位置に依存して連続的に変化する傾向があるので、2つの素子の特性を比較した場合、近くに配置するほど類似した特性を示す確率が高い。さらに、ゲート幅やゲート長は、例えば他のゲートとの距離等周囲のレイアウト形状に依存して変化する。また、同じ論理ゲートに対する異なるパスの遅延や、共通配線が途中で分岐する場合の配線遅延は、そのばらつきの相関関係は強いと考えられる。

【0095】相関特性情報の例を示す。

(1) 2つの素子間の距離  $D$  と2つの素子の遅延分布の相関係数  $R$  との間に、 $R = a \cdot \exp(-D/b)$  という関係を持つ場合 ( $a$ ,  $b$  は定数)

(2) 2つの素子が同じ向きに配置されている場合の相関係数は  $c$  であるが異なる向きの場合は  $e$  である場合 ( $c$ ,  $e$  は定数)

(3) 配線が途中で分岐している場合、全配線長に占め

る共通部分の割合を $w$ としたとき、互いの配線遅延の相関係数は、 $R = f \cdot w$ である場合 ( $f$  は定数)

(4) 同じ素子に起因する素子遅延の相関係数は $g$ であるが、別素子であれば $h$ である場合 ( $g, h$  は定数) 等である。これらの関係式の一部を用いてもよいし、組み合わせた式として用いてもよい。

【0096】相関特性情報は、測定により得ることができる。例えば、向きや周囲のレイアウト形状、素子間の距離の異なるようなサンプル素子を多数含んだ特性評価用集積回路を製造し、各素子の特性を測定し、素子特性の平均値や分散を計算により求めればよい。図13は相関特性情報を生成する方法を示すフローチャートである。また、遅延分布の相関係数が直接得られなくとも、トランジスタの飽和電流は遅延にほぼ比例することがわかっており、またゲート長は飽和電流に反比例、ゲート幅は飽和電流に比例することがわかっているため、レイアウト条件と、これらゲート長、ゲート幅、飽和電流等との相関係数を得ることができれば、遅延の相関係数として用いることも可能である。

【0097】このように、相関特性情報は、集積回路設計の前に、プロセスに応じてあらかじめ求めておけばよい。そして、実際の集積回路設計においては、相関特性情報から実際のレイアウト等の情報に基づいて、各素子間の相関係数情報を求めればよい。

【0098】例えば、素子間の距離が $D$ 、同じ向きに配置されている2つの素子の遅延分布の相関係数 $R$ は、 $R = f(D, c, h)$ で得られる。ここで、 $f(x, y, z)$  は任意の関数であり、例えば、 $f(x, y, z) = Kyz/x$  という関数である ( $K$  は定数)。

【0099】(第2の実施形態) 本発明の第2の実施形態は、与えられた回路について、フォールスパスを除去して回路を評価する方法に関するものである。

【0100】「論理的フォールスパス」は、回路の接続構造に関する情報を用いて特徴付けすることができる。すなわち、アサイクリックグラフ $G = (V, E)$ において、2つの点 $x, y$ を同時に通るパスとして定義できる。また、「機能的フォールスパス」は、原因部分パスを含むパスとして指定でき、原因部分パスは、点集合の対 $(X, Y)$ を用いて、 $X$ の点 $x$ から $Y$ の点 $y$ に至るパスとして定義できる (H.C.Chen and D.H. Du, "Path sensitization in critical path problem," IEEE Trans.

Computer-Aided Design of ICs and Systems, vo. 12, no. 2, pp. 196-207, 1993 に開示)。

【0101】すなわち、図2において、フォールスパスは、点集合の対 $(X, Y)$ を指定し、 $X$ の点41と $Y$ の点42を同時に通るパスとして定義できるから、これらのパスを、グラフ $G400$ から除去できれば、クリティカルパス遅延の精度を上げることができる。

【0102】ここでは、点集合の対 $(X, Y)$ によって指定できるフォールスパスの除去手法について、説明す

る。ただし、 $X$ に含まれる異なる2点 $x', x''$ 間には有向道は存在せず、 $Y$ に含まれる異なる2点間にも有向道は存在しないものとする。論理回路において、 $x \in X$  および  $y \in Y$  はそれぞれゲートの入力および出力に対応しているから、この仮定は不自然なものではない。 $X$ のある点 $x$ からの有向道と、 $Y$ のある点 $y$ への有向道の両方が存在するような点の集合を $U'$ とし、 $U'$ から $X$ と $Y$ を取り除いた集合を $U (= U' - X - Y)$ とする。集合 $U$ によるグラフ $G$ の点セクショングラフ43を、 $G[U] = (U, E[U])$ とする。ここで、 $E[U] = \{(v, w) \in E \mid v \in U, w \in U\}$ である。

【0103】さらに、図3において、集合 $G[U]$ から出ていく枝の終点であって、 $Y$ の点42以外の点の集合52を $Out$ 、集合 $G[U]$ に入ってくる枝の始点であって、 $X$ の点41以外の点の集合51を $In$ とする。すなわち、

【数21】

$$Out = \{v \in V \mid (u, v) \in E, u \in U, v \notin U, v \notin Y\}$$

【数22】

$$In = \{v \in V \mid (v, u) \in E, u \in U, v \notin U, v \notin X\}$$

【0104】このとき、明らかに、次の性質がある。

【0105】i.  $Out$ と $In$ は共通要素を持たず、 $Out$ の点 $v$ から $In$ の点 $w$ に至るパスは存在しない。なぜなら、点 $v$ から点 $w$ に至る有向道が存在すると仮定すると、このような点 $v$ または点 $w$ に対して、 $X$ の点からの有向道と $Y$ の点への有向道が同時に存在することになり、集合 $U$ の仮定に反する。

【0106】ii.  $Out$ の点 $v$ から $Y$ の点 $y$ に至るパスも存在しない。

【0107】iii.  $X$ の点 $x$ から $In$ の点 $v$ に至るパスも存在しない。もし、このようなパスが存在するとすると、点 $v$ は $U$ に含まれなければならない、集合 $U$ の仮定に反する。

【0108】図4は本発明の回路評価方法のフローチャートを表している。図4において、まず入力工程S21によって、評価対象である回路の接続関係や性能等を表す回路情報21と、フォールスパス情報22とを入力する。フォールスパス情報22では、各フォールスパスが、集積回路を表すグラフ上の2点の組によって表現されている。

【0109】次に等価回路生成工程S22において、入力された回路情報21から、フォールスパスを含まない等価回路の生成を行う。フォールスパスが複数ある場合は、この等価回路生成を繰り返して行えばよい。そして、等価回路評価工程S23において、フォールスパスを含まない等価回路情報23を用いて、遅延や消費電力等の回路評価を行う。

【0110】図5は等価回路生成工程S22の処理を示すフローチャートである。ここでは、点集合の対 $(X,$

Y) に対して、アサイクリックグラフ  $G = (V, E)$  の変形操作を行うことによって、等価回路を生成する。

【0111】まず部分回路抽出工程 S22a において、図3に示すように、部分回路  $G[U]43$  を抽出する。次に図6に示すように、部分回路複製工程 S22b において、部分回路  $G[U]43$  を複製して第2の部分回路に相当するグラフ  $G''62$  を作り、元の部分回路  $G$

$[U]43$  を第1の部分回路に相当するグラフ  $G'61$  とする。次に部分回路接続変更工程 S22c において、グラフ  $G'61$  の点から  $y42$  への枝を全て取り除き、代わりにグラフ  $G''62$  の対応する点から  $y42$  への枝  $EG1$  を付ける。さらに、 $In51$  の点からグラフ  $G'61$  の点に入る枝  $EG2$  の複製  $EG3$  を、 $In51$  の点と対応するグラフ  $G''62$  の点との間に付ける。なお、グラフ  $G'61$  の点から  $Out52$  の点に入る枝  $EG4$  はそのまま残しておく。

【0112】さらに、グラフ  $G'61$  において新たなシンクが生まれたり、グラフ  $G''62$  において新たなソースが生まれたりしたときは、そのような点とこれに接続する枝をともに取り除く、という操作を繰り返し、グラフ  $G'61$  および  $G''62$  の中にシンクやソースが存在しないようにする。このようにして生成されたアサイクリックグラフを、 $G < (X, Y) >$  と表す。

【0113】このグラフ  $G < (X, Y) >$  に対して、以下の性質が成り立つ。

【0114】(i)  $G < (X, Y) >$  には、 $X$  の点  $x$  と  $Y$  の点  $y$  を同時に通るパスは存在しない。

【0115】(ii) 元のグラフ  $G$  におけるパスで、 $X$  の点と  $Y$  の点を同時に通らないものは、全て  $G < (X, Y) >$  に存在する。

【0116】(iii)  $G < (X, Y) >$  に存在するどのパスも、これに対応するパス (通る点と枝が同一) が元のグラフ  $G$  に存在する。

【0117】したがって、 $G < (X, Y) >$  においてクリティカル遅延のばらつきを求めたとき、元のグラフ  $G$  において、 $X$  の点と  $Y$  の点を同時に通らないパスの最大遅延のばらつきを求めたことになる。

【0118】図7は上述した性質を満たす等価回路を生成するグラフ変形処理の他の例を示す図である。すなわち、部分回路接続変更工程 S22c において、第1の部分回路に相当するグラフ  $G'61$  の点から  $Y$  の点  $42$  への枝を全て取り除き、代わりに第2の部分回路に相当するグラフ  $G''62$  の対応する点から  $Y$  の点  $42$  に枝  $EG5$  を付け替える。そして、 $G''62$  を  $G'61$  に付加した後、 $G'61$  の点から  $Out52$  の点に入る枝  $EG6$  の複製  $EG7$  を、対応する  $G''62$  の点から  $Out52$  の点に付ける。また、 $In51$  の点から  $G'61$  の点に入る枝を全て取り除き、代わりに  $In51$  から  $G''62$  の、対応する点に枝  $EG8$  に付け替える。

【0119】図6の例では、第1の部分回路に相当する

グラフ  $G'61$  は、第1の点  $41$  並びに  $In51$  および  $Out52$  と接続されており、かつ、第2の点  $42$  とは接続されていない。一方、第2の部分回路に相当するグラフ  $G''62$  は、第2の点  $42$  および  $In51$  と接続されており、かつ、第1の点  $41$  および  $Out52$  とは接続されていない。この結果、第1の点  $41$  から第2の点  $42$  に向かうパスが存在しない。

【0120】また図7の例では、第1の部分回路に相当するグラフ  $G'61$  は、第1の点  $41$  および  $Out52$  と接続されており、かつ、第2の点  $42$  および  $In51$  と接続されていない。一方、第2の部分回路に相当するグラフ  $G''62$  は、第2の点  $42$  並びに  $In51$  および  $Out52$  と接続されており、かつ、第1の点  $41$  とは接続されていない。この結果、第1の点  $41$  から第2の点  $42$  に向かうパスが存在しない。

【0121】以下、本実施形態に係る等価回路生成方法を、一般化して記述する。

【0122】除去すべき全てのフォールスパスの集合は、点集合の対の集合  $F = [(X_i, Y_i) \mid i = 1, 2, \dots, f]$  によって表される。そこで、 $G$  からこれら全てのフォールスパスを除去するために、上述の変形操作を各対  $(X, Y) (\in F)$  に対して繰り返す。このとき、 $G$  を変形して  $G < X, Y >$  を作る際に、 $U$  の点が複製されているから、 $(X, Y)$  以外の対  $(X', Y') (\in F - [(X, Y)])$  を、 $U$  を用いて次のように修正する。

【0123】I.  $X' \cap U \neq f$  のとき:  $X' \cap U$  の点で、複製が新たなシンクやソースにならずに  $G < X, Y >$  に残っているとき、その複製を  $X'$  に入れる。

【0124】II.  $Y' \cap U \neq f$  のとき:  $Y' \cap U$  の点で、複製が新たなシンクやソースにならずに  $G < X, Y >$  に残っているとき、その複製を  $Y'$  に入れる。

【0125】いま、更新される前の対を  $(X', Y')$ 、更新された対を  $(X'', Y'')$  と表す。明らかに、 $G < X, Y >$  において、 $X''$  の点間を結ぶ有向道はないし、 $Y''$  の点間を結ぶ有向道もない。さらに、 $G$  において、 $X$  の点と  $Y$  の点を同時に通るパスの集合を  $P(X, Y)$ 、 $X'$  の点と  $Y'$  の点を同時に通るパスの集合を  $P(X', Y')$  と表し、 $G < X, Y >$  において、 $X''$  の点と  $Y''$  の点を同時に通るパスの集合を  $P'(X'', Y'')$  と表す。このとき、 $P'(X'', Y'')$  に含まれるどのパスも、 $P(X', Y')$  のどれかのパスに対応する。すなわち、 $P(X', Y')$  のパスに対応するパスで、 $G < X, Y >$  に存在するものは、 $P'(X'', Y'')$  に含まれる。それゆえ、 $P(X', Y')$  以外の  $G$  のパスで、 $P'(X'', Y'')$  に含まれるものはない。

【0126】したがって、 $G < (X, Y) >$  に対して  $(X', Y')$  に関する変形操作を行って得られるグラフを  $G''$  と表すと、 $G''$  では、 $P'(X'', Y'')$  のパ

スが全て除去されているから、GからP(X', Y')のパスが全て除去されたことになる。すなわち、次のような性質が成り立つ。

【0127】(i) G"には、P(X, Y)に対応するパスも、P(X', Y')に対応するパスも存在しない。

【0128】(ii) G<X, Y>におけるパスでP'(X'', Y'')以外のパスは、全てG"に存在する。したがって、GにおけるP(X, Y), P(X', Y')以外のパスは、全てG"に存在する。

【0129】(iii) G"に存在するどのパスも、これに対応するものがG<X, Y>に存在し、したがって、Gにも存在する。

【0130】このことから、上述したグラフの変形操作と点集合対の更新操作とを繰り返して、Fで指定される全てのフォールスパスを除去したグラフをG\*(V\*, E\*)とすると、G\*(V\*, E\*)上のパスと、元のグラフG=(V, E)のパスとの間には、次のような関係が成り立つ。

【0131】(i) どの対(X, Y) ∈ Fに対しても、G\*上には、Xの点xとYの点yを同時に通るパスは存在しない。

【0132】(ii) Fで指定されるフォールスパス以外の全てのGのパスは、G\*に存在する。

【0133】(iii) G\*に存在するどのパスも、それに対応するものがGに存在する。

【0134】この操作は、次のように、表すことができる。

【0135】 $F = \{(X_i, Y_i) \mid i = 1, 2, \dots, f\}$ に対して、 $G_{-}(1) = G_{-}(X_{-}(1), Y_{-}(1))$ 、 $G_i = G_{i-1} < X_{i-1}, Y_{i-1} > (i = 2, \dots, f)$ とする。ここで、 $G_{i-1} < X_{i-1}, Y_{i-1} > (i = 2, \dots, f)$ は、グラフ $G_{i-1}$ に対して、 $(X_{i-1}, Y_{i-1})$ に関する変形操作を行って得られるグラフであり、 $(X_{i-1}, Y_{i-1}) (i = 2, \dots, f)$ は、 $(X_{i-1-2}, Y_{i-1-2})$ に対して、 $(X_{i-1-2}, Y_{i-1-2})$ で定められる $U_{i-1}$ を用いた更新操作を行って得られる対である。

【0136】この $U_{i-1}$ は、 $G_{i-1} = G_{-}(i-2) < X_{i-1-2}, Y_{i-1-2} >$ 上で、 $X_{i-1-2}$ の点からの有向道と $Y_{i-1-2}$ の点への有向道の両方が存在する点の集合から、 $X_{i-1-2}$ の点と $Y_{i-1-2}$ の点を取り除いたものである。

【0137】 $G_{-}(0) = G$ ,  $X_{-}(1) \wedge (0) = X_{-}(1)$ ,  $Y_{-}(1) \wedge (0) = Y_{-}(1)$ からはじめて、各 $(X_i, Y_i) (i = 1, 2, \dots, f)$ に対して、 $G_i = G_{i-1} < X_{i-1}, Y_{i-1} >$ を生成する操作を繰り返し、 $G_f$ が得られる。これにより、Fで指定されるG上の全てのパスの集合を $P(F) = \bigcup_i P(X_i, Y_i)$ とすれば、 $G_f$ 上には $P(F)$ に対応するパスは存在せ

ず、GのP(F)以外のパスは、対応するものが $G_f$ 上に存在する。

【0138】(第3の実施形態) 本発明の第3の実施形態は、設計対象の回路から、フォールスパスを抽出する方法に係るものである。抽出されたフォールスパスは、先の第2の実施形態に開示した方法を用いて、削除することができる。

【0139】第2の実施形態ですでに述べたように、「論理的フォールスパス」は、回路の接続構造に関する情報を用いて特徴付けることができる。すなわち、アサイクリックグラフ $G = (V, E)$ において、2つの点x, yを同時に通るパスとして定義できる。

【0140】いま、ANDゲートにおける信号値“0”のように、論理ゲートの一の入力にその値が与えられたとき出力が決定するような信号値のことを「制御信号」と呼び、ANDゲートにおける信号値“1”のように、論理ゲートの一の入力にその値が与えられても出力が決定しないような信号値のことを「非制御信号」と呼ぶ。AND, OR, NAND, NORの各ゲートには、制御信号および非制御信号が存在し、それらは互いに否定の関係にある。これに対して、インバータでは“0”

“1”のいずれも制御信号であり、XORゲートでは“0” “1”のいずれも非制御信号である。すなわち、AND, OR, NAND, NORの各ゲート、およびインバータでは、一の入力に制御信号が与えられると、その出力が決定する。

【0141】そこで、これらの各ゲートに関して、制御信号の伝播操作を定める。例えば図11において、 $z = “1”$ のときは、インバータG4の出力が“0”になり、ANDゲートG5の出力cが“0”になる。このため、伝播操作により、 $z = 1$ は $c = 0$ を導く。したがって、 $c = 1$ のときは $z = 0$ である。なお、この関係は、逆伝播操作によって導くこともできる。

【0142】AND, OR, NAND, NORの各ゲートにおいて、非制御信号が通るパスが活性化されるためには、他のすべての入力に非制御信号でなければならない。これに対して、制御信号が通るパスが活性化されるためには、そのパスが通る入力v以外の各入力に、非制御信号が入るか、vに制御信号が到達した後に制御信号が入るかのいずれかとなる。したがって、制御信号が通るパスが活性化されるか否かを判定するには、必然的に遅延量が必要となる。これに対して、非制御信号が通るパスの方は、時間的要素に無関係に、接続関係とゲートの種類だけで活性化されるか否かが判定できる。

【0143】そこで、グラフ $G = (V, E)$ において、非制御信号が通過する論理ゲート内の各枝 $e = (v, w)$ に対して、その枝が活性化するための条件、すなわちwに入る他のすべての枝を非制御信号が通過する、という条件を与える。これを、「非制御信号枝eの活性化条件」と呼ぶ。wに入る他の枝 $e' = (u, w)$ に非制

御信号  $s$  が入るという条件を、 $G$  の  $u$  に付随するネット (信号) を  $Net(u)$  として、 $Net(u) = s$  と表す。

【0144】 $Net(u)$  の信号  $s$  が、 $u$  以外にもファンアウトを持ち、それが制御信号として別の論理ゲート  $L$  に入っているとき、 $L$  の出力は伝播操作によって値が決定する。そこで、非制御信号枝の活性化条件に挙げられた論理値を、伝播操作を用いて伝播させる。例えば図11において、第1のゲートとしてのゲート  $G1$  内の ( $v1, w1$ ) の活性化条件は、 $z = 1$  すなわち  $Net(u) = 1$  であるが、これはゲート  $G4$  の入力  $a = 1$ 、ゲート  $G6$  の入力  $c = 0$  に伝播させることができる。そうすると、 $c = 1$  ならば  $z = 0$  であるから、第2のゲートとしてのANDゲート  $G6$  内の枝 ( $b1, y1$ ) の活性化条件  $c = 1$  と  $z = 1$  とは両立せず、矛盾が生じることが分かる。すなわち、枝 ( $v1, w1$ ) と枝 ( $b1, y1$ ) とを同時に活性化させることはできないので、これらの枝を同時に通るようなパスは、フォールスパスであると判断できる。このようなフォールスパスは、点对 ( $v1, b1$ ) によって指定できる。

【0145】図8は本発明の第3の実施形態に係るフォールスパス抽出方法を示すフローチャートである。図8に示すように、まず入力工程  $S31$  において、回路情報  $31$  の入力を行う。次に必要条件決定工程  $S32$  において、各ゲートにおける非制御信号を活性化する信号の必要条件を決定する。 $Enc = (unc, wnc)$  をゲート内の枝で入力が非制御信号  $ncc$  に対応するものとし、 $Net(u) = ncs$  を活性化条件とする枝の集合を  $RE(enc) = \{(vnc, wnc) \in E\}$  と表す。 $Net(u) = ncs$  は、伝播操作によって、各ネットの値を定めていくことも可能である。

【0146】そして信号変化矛盾抽出工程  $S33$  において、必要条件決定工程  $S32$  によって決定された必要条件から、同時に活性化しないゲートの信号変化を抽出する。あるゲート  $G$  の入力  $c$  の値を  $G$  の制御信号  $ccs$  にし、 $G$  には  $c$  以外の入力  $b$  があるとする。このとき、ゲート  $G$  内の  $c$  が制御信号  $ncc$  に対応する枝を  $enc' = (cnc, ync)$  とすると、 $RE(enc') = \{(bnc, ync) \in E\}$  の各枝 ( $bnc, ync$ ) は  $Net(c) = ncs$  を活性化条件とするから、枝 ( $vnc, wnc$ ) ( $\in RE(enc)$ ) と枝 ( $bnc, ync$ ) ( $\in RE(enc')$ ) は同時に活性化しない。したがって、ゲート  $G$  において、点  $v$  から有向道によって到達可能な点の集合を  $suc(v)$  とすると、点对 ( $vnc, bnc$ ) はフォールスパスを指定する点对である。

【0147】また、1つの枝  $enc$  に対して、このような点对をすべて見出すことは、グラフの枝数を  $m$  とすると  $O(m)$  の計算量でできるから、すべての点对を見出

すことは、 $O(m^2)$  の計算量でできる。

【0148】

【発明の効果】以上のように本発明によると、集積回路の遅延分布の計算において、配線または素子間の性能の相関関係が考慮されるので、遅延見積り精度が向上する。これにより、設計する集積回路について、過剰なマージンを除去することができ、不要な面積や消費電力等を削減することができる。

【0149】また、集積回路の評価において、フォールスパスを除去することによって、計算時間の短縮と、遅延見積り精度の向上という効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る遅延分布計算方法を示すフローチャートである。

【図2】フォールスパスの指定表現を表す図である。

【図3】変更前のグラフを表す図である。

【図4】本発明の第2の実施形態に係る回路評価方法を示すフローチャートである。

【図5】図4の回路評価方法における等価回路生成処理のフローチャートである。

【図6】変更後のグラフを表す図である。

【図7】変更後のグラフの他の例を表す図である。

【図8】本発明の第3の実施形態に係るフォールスパス抽出方法を示すフローチャートである。

【図9】論理回路の一例を表す図である。

【図10】図9の回路を表すアサイクリックグラフを表す図である。

【図11】フォールスパスを含む論理回路を示す図である。

【図12】相関関係情報を生成する方法を示すフローチャートである。

【図13】相関特性情報を生成する方法を示すフローチャートである。

【符号の説明】

11 回路情報

12 性能分布情報

13 相関関係情報

22 フォールスパス情報

41 第1の点

42 第2の点

43 第1の部分回路

51 集合  $In$

52 集合  $Out$

61 第1の部分回路に相当するグラフ

62 第2の部分回路に相当するグラフ

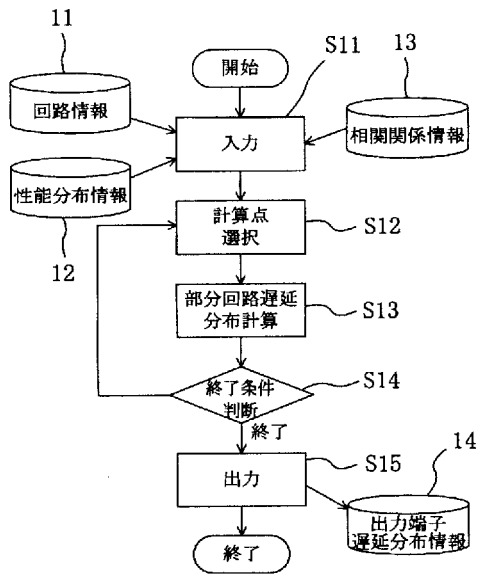
200 アサイクリックグラフ

G1 第1のゲート

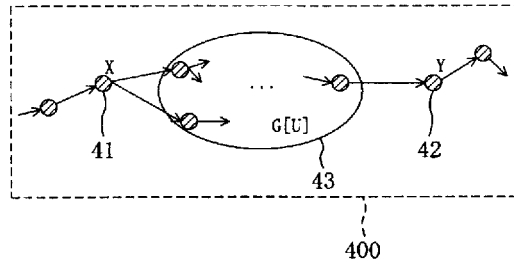
G6 第2のゲート



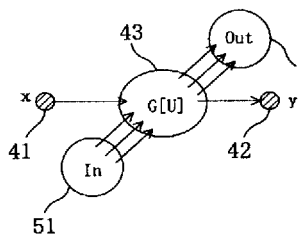
【図1】



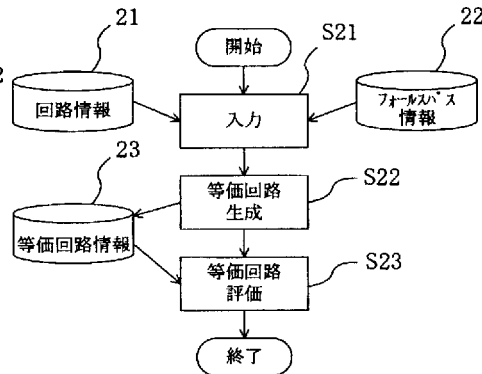
【図2】



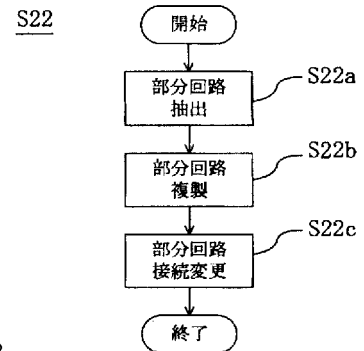
【図3】



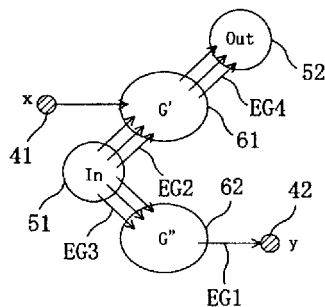
【図4】



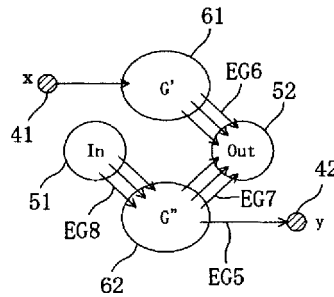
【図5】



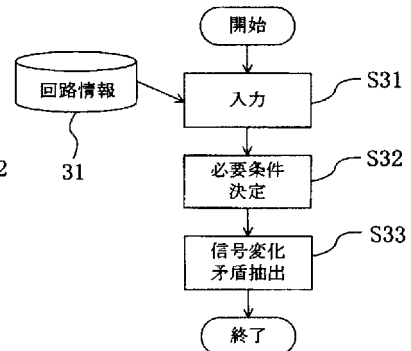
【図6】



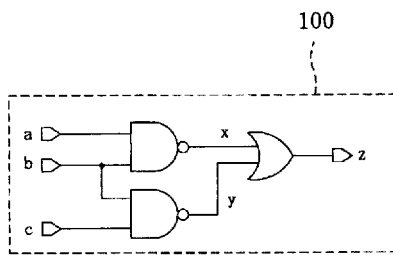
【図7】



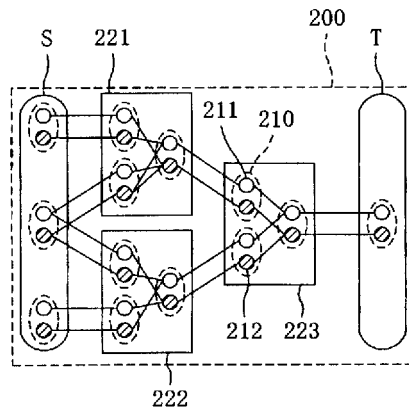
【図8】



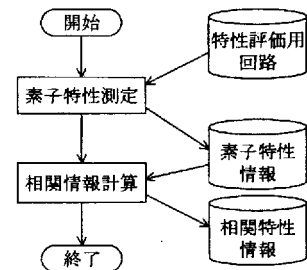
【図9】



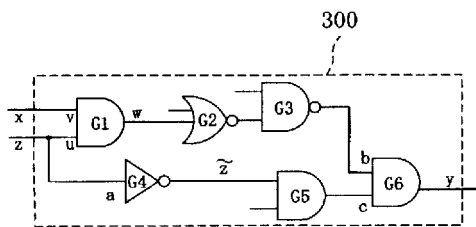
【図10】



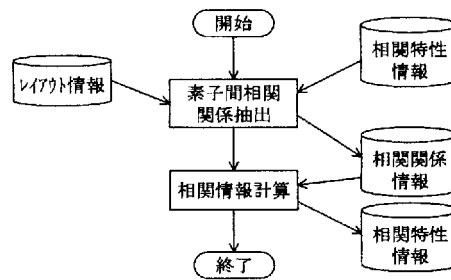
【図13】



【図11】



【図12】



フロントページの続き

Fターム(参考) 2G132 AA01 AC11 AD07 AL11  
5B046 AA08 BA04 JA01  
5F064 HH06 HH09

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-279012

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G06F 17/50  
G01R 31/28  
G01R 31/317  
H01L 21/82

(21)Application number : 2001-351885

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 16.11.2001

(72)Inventor : TSUKIYAMA SHUJI  
TANAKA MASAKAZU  
FUKUI MASAHIRO

(30)Priority

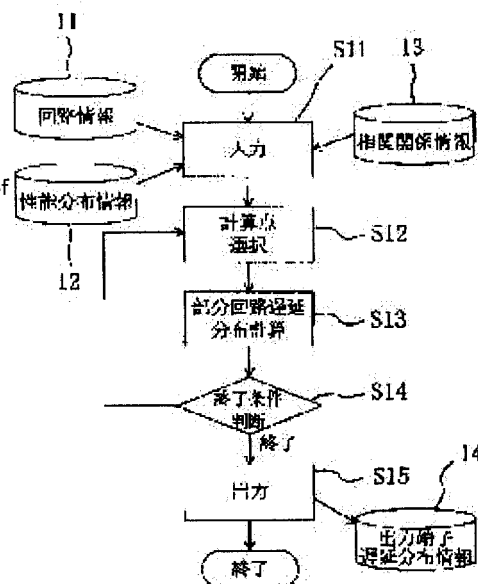
Priority number : 2000355417	Priority date : 22.11.2000	Priority country : JP
2000360629	28.11.2000	JP
2001001075	09.01.2001	JP

## (54) METHOD FOR CALCULATING DELAY DISTRIBUTION, METHOD FOR EVALUATING CIRCUIT AND METHOD FOR EXTRACTING FALSE PATH

(57)Abstract:

PROBLEM TO BE SOLVED: To improve estimation accuracy by taking the correlation of performance between pieces of wiring or elements into consideration in calculation for a delay distribution of an integrated circuit.

SOLUTION: Circuit information 11, performance distribution information 12 on wiring or elements in the integrated circuit, and the correlation information 13 of performance between the pieces of wiring or the elements are inputted (S11). A calculation point is selected (S12), and a delay distribution at the selected calculation point and the correlation of the delay distribution in a partial circuit including the calculation point are calculated on the basis of the performance distribution information 12 and the correlation information 13 (S13).



## LEGAL STATUS

[Date of request for examination] 10.05.2002

[Date of sending the examiner's decision of rejection] 29.11.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of] 2005-025270

rejection]

[Date of requesting appeal against examiner's decision of 28.12.2005  
rejection]

[Date of extinction of right]